



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09266254 A**(43) Date of publication of application: **07.10.97**

(51) Int. Cl. **H01L 21/82**
G06F 17/50
H01L 27/118
H01L 27/04
H01L 21/822

(21) Application number: **08074844**(71) Applicant: **NEC CORP**(22) Date of filing: **28.03.96**(72) Inventor: **HATTORI TETSUYA**

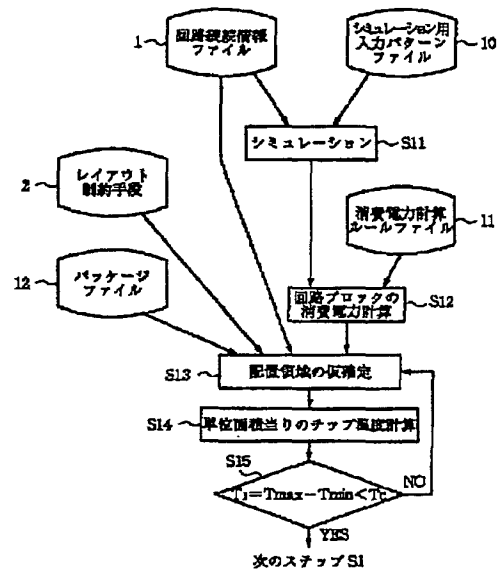
(54) **AUTOMATIC LAYOUT METHOD FOR
 SEMICONDUCTOR INTEGRATED CIRCUITS**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make uniform the temp. distribution in a chip by equalizing the power consumptions per unit area on a semiconductor substrate, using the simulation result of circuit operations and layout regulating means.

SOLUTION: Basic logic circuits composed of transistors are grouped into circuit blocks with respect to their functions and the blocks are automatically disposed on a semiconductor substrate. Using the simulation result of the circuit operations (S11) and power consumption computing rule file 11 which stores means for computing the power consumption of the basic logic circuits, the power consumptions of the circuit blocks (S12), this computation result, circuit connection information, and layout regulating means 2 for the layout and interconnection of the basic logic circuits on the substrate are used to disposed the blocks so as to equalize the power consumptions per unit area on the substrate.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2798048号

(45) 発行日 平成10年(1998) 9月17日

(24) 登録日 平成10年(1998) 7月3日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 A

H 0 1 L 21/822

6 5 8 T

27/04

H 0 1 L 21/82

M

27/118

27/04

A

請求項の数3 (全 6 頁)

(21) 出願番号 特願平8-74844

(22) 出願日 平成8年(1996) 3月28日

(65) 公開番号 特開平9-266254

(43) 公開日 平成9年(1997) 10月7日

審査請求日 平成8年(1996) 3月28日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 服部 哲也

東京都港区芝五丁目7番1号 日本電気

株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 田代 吉成

(56) 参考文献 特開 平5-73643 (J P, A)

特開 平3-42779 (J P, A)

特開 平3-3348 (J P, A)

特開 平6-290234 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路の自動配置方法

1

(57) 【特許請求の範囲】

【請求項1】 複数のトランジスタからなる基本論理回路を機能ごとにグループ化して回路ブロックとし複数の前記回路ブロックを半導体基板上に自動配置する方法において、

回路動作をシミュレーションして得られたシミュレーション出力結果と、前記基本論理回路の消費電力を計算する手段を格納した消費電力計算ルールファイルとを用いて前記回路ブロックの消費電力を計算し、

この計算結果と回路接続情報と前記半導体基板上に前記基本論理回路を配置および配線するときのレイアウト制約手段とを用いて、

複数の前記回路ブロックのなかで、消費電力を多く発生する前記回路ブロックを前記半導体基板の周辺に配置することにより、

2

前記半導体基板上に前記基板上の単位面積当たりの消費電力を平均化するように前記回路ブロックを配置することを特徴とする半導体集積回路の自動配置方法。

【請求項2】 複数のトランジスタからなる基本論理回路を機能ごとにグループ化して回路ブロックとし複数の前記回路ブロックを半導体基板上に自動配置する方法において、

回路動作をシミュレーションして得られたシミュレーション出力結果と、前記基本論理回路の消費電力を計算する手段を格納した消費電力計算ルールファイルとを用いて前記回路ブロックの消費電力を計算し、

この計算結果と回路接続情報と前記半導体基板上に前記基本論理回路を配置および配線するときのレイアウト制約手段とを用いて、

複数の前記回路ブロックのなかで、消費電力を多く発生

する回路ブロックを再分割し、前記半導体基板の周辺に配置することにより、

前記半導体基板上に前記基板上の単位面積当たりの消費電力を平均化するように前記回路ブロックを配置することを特徴とする半導体集積回路の自動配置方法。

【請求項3】 複数の前記回路ブロックを前記半導体基板の中央位置に対してほぼ対称となるように前記半導体基板の周辺に配置したことを特徴とする請求項1または2記載の半導体集積回路の自動配置方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の自動配置方法に関し、特にCMOSゲートアレイに用いる回路ブロックの自動配置方法に関する。

【0002】

【従来の技術】従来、CMOSゲートアレイの自動配置方法としては、コンピュータを用いて各回路ブロック間を配線する配線長の総和を最小とするよう配置する方法、入力端子から出力端子に至るパスの遅延値を制限値以下に配置する方法など、多くのアルゴリズムが知られている。

【0003】図4は、従来方式におけるCMOSゲートアレイのレイアウト設計フローを表すフローチャートである。回路接続情報ファイル1には、CMOSゲートアレイで使用する全ての基本論理回路のリストと、各基本論理回路間相互の接続情報を含んでいる。さらに、半導体集積回路100は図5に示すように通常複数の回路ブロックに分割されており、回路接続情報ファイル1には半導体集積回路100がどのように回路分割されているかの情報が含まれている。図5に示す例について説明すると、半導体集積回路100は、5MHzのクロックで動作する回路ブロック201と、30MHzのクロックで動作する回路ブロック202と、50MHzのクロックで動作する回路ブロック203と、入出力バッファ204とから構成されている。また、回路ブロック201～203はそれぞれフリップフロップ、NAND、NOR、カウンタ、アダーなどCMOSゲートアレイの基本論理回路301から構成されている。

【0004】一方、レイアウト制約手段2は下地を構成するトランジスタのアレイ情報、回路ブロック201～203を構成するフリップフロップなどの基本論理回路ごとの配置ルール、下地上に設定された格子上に基本論理回路または配線が配置可能であるかまたは配置が禁止されているのかの情報など配置格子に関する様々なルールなどから構成されている。

【0005】レイアウトツールは、ステップS1で回路接続情報ファイル1とレイアウト制約手段2を基に、LSIの入力端子から出力端子に至るパスの遅延時間が与えられた制限値以下になるとともに、チップ面積が最小になるように回路ブロック201～203を配置する配

置領域を決定する。

【0006】次にステップS2で、レイアウト制約手段2からフリップフロップなどの基本論理回路301のアレイ情報を参照し、回路ブロック201～203を構成する基本論理回路301間の接続関係を満たしながら、与えられた各配置領域内の全ての基本論理回路301の配置と基本論理回路301間の配線処理を行う。

【0007】ステップS2で半導体集積回路100を構成する各回路ブロックの基本論理回路301の配置と配線が完了した後、ステップS3で入出力バッファ204を含めたチップ全体の配線行程であるグローバル配線を行って、レイアウトツールによる自動配置配線処理を完了する。この処理結果は、チップレイアウトファイル3として、マスク作成の元データとなる。

【0008】図4のレイアウト設計フローにしたがって設計された半導体集積回路100のチップ概略図を図6に示す。チップ内部領域4は、5MHzで動作する回路201の配置領域5と、30MHzで動作する回路202の配置領域6と、50MHzで動作する回路203の配置領域7とから構成されている。さらに、チップ内部領域4の外側には、入出力バッファ8とボンディングパッド9が配置されているが、これらの配置については図4のレイアウト制約手段2に標準的に用意されているデータから最適なデータを選択して使用する。

【0009】ところで、図6に示す配置領域5、6、7内で発生する単位面積当たりの消費電力P1、P2、P3は次式で与えられる。

【0010】

$$P_i = \sum_j p_j / S_i \quad (i=1, 2, 3) \quad \dots\dots(1)$$

【0011】ここで、 p_j は各回路ブロック201～203に含まれる基本論理回路301の消費電力、 S_i は配置領域5、6、7の面積である。いま、計算を単純化するために基本論理回路301の消費電力 p_j は(2)で与えられるものとする。

$$p_j = A \cdot F_j \cdot G_j \quad \dots\dots(2)$$

ここで、Aは定数、 F_j は動作周波数、 G_j は2NANDを2ゲートとした場合の各基本論理回路301の等価ゲート数である。各回路ブロック201～203内では、 F_j は共通なので、(1)、(2)より(3)を得る。

【0013】

$$\frac{A \cdot F_i}{S_i} \cdot \sum_j G_j \quad \dots\dots(3)$$

【0014】 G_j の和は、配置領域の面積 S_i に比例するので、(3)より各配置領域5、6、7で発生する単位面積当たりの消費電力は各回路ブロック201～203の動作周波数 F_i に比例する。これを計算すると表1のようになる。

【0015】

【表1】

回路ブロック	動作周波数	消費電力比/ 単位面積
201	5MHz	1
202	30MHz	6
203	50MHz	10

【0016】

【発明が解決しようとする課題】図4に示す従来のレイアウト設計フローに従って設計されたチップは、チップ内で発生する単位面積当たりの消費電力が動作周波数にほぼ比例するので、表1から計算したチップの相対的な温度分布は図7に示すように非常に不均一となり、温度が非常に高い部分ではアルミマイグレーション効果が顕著になり、アルミ配線の寿命が短くなったり、CMOSゲートアレイの下地を構成するMOSトランジスタやモールドパッケージの信頼性が低下するという問題がある。また、チップ内にアナログ回路が存在した場合、チップ上の温度勾配によりアナログ特性が劣化する。

【0017】このため、本発明の目的はチップ内の温度分布を均一にすることが可能な半導体集積回路の自動配置方法を提供することにある。

【0018】

【課題を解決するための手段】そのため、本発明による半導体集積回路の自動配置方法は、複数のトランジスタからなる基本論理回路を機能ごとにグループ化して回路ブロックとし複数の前記回路ブロックを半導体基板上に自動配置する方法において、回路動作をシミュレーションして得られたシミュレーション出力結果と、前記基本論理回路の消費電力を計算する手段を格納した消費電力計算ルールファイルとを用いて前記回路ブロックの消費電力を計算し、この計算結果と回路接続情報と前記半導体基板上に前記基本論理回路を配置および配線するときのレイアウト制約手段とを用いて、複数の前記回路ブロックのなかで、消費電力を多く発生する前記回路ブロックを前記半導体基板の周辺に配置することにより、前記半導体基板上に前記基板上の単位面積当たりの消費電力を平均化するように前記回路ブロックを配置することを特徴としている。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0020】図1は、本発明の一つの実施の形態を示すCMOSゲートアレイのレイアウト設計フローを表すフローチャートである。シミュレーション用入力パターンファイル10は、半導体集積回路100の遅延シミュレーションを実行するために半導体集積回路100の入出力バッファに入力する論理パターンであり、ステップS11でシミュレーション用入力パターンファイル10

と、回路接続情報ファイル1を用いて遅延シミュレーションを実行する。

【0021】回路設計者が、CMOSゲートアレイで使用する基本論理回路301の消費電力を計算するルールは、消費電力計算ルールファイル11に格納されており、各基本論理回路301の動作温度、電源電圧、クロック周波数などのパラメータを入力することにより、各基本論理回路301の消費電力の最大値、代表値、最小値を計算することが出来る。

【0022】次にステップS12で、ステップS11で実行したチップ全体のシミュレーション結果と、消費電力計算ルールファイル11を用いて、チップを構成する各回路ブロックの消費電力計算を実行した後、ステップ13で回路接続情報ファイル1、レイアウト制約手段2、ステップS12で計算した回路ブロックの消費電力計算結果、チップを搭載するパッケージの熱抵抗などのパッケージの熱的性質に関するパラメータが格納されているパッケージファイル12とを用いてチップ内に配置する各回路ブロックの配置領域を仮確定する。

【0023】このとき、チップ内の温度分布が均一になるように各回路ブロックを配置するが、低い周波数で動作する回路ブロックが全回路の大部分を占める場合、最初に低い周波数で動作する回路ブロックに着目し優先的にチップ中央部にレイアウトする。これを図5に示す回路を例にとり図2に示すチップの概略図を参照して説明すると、まずチップ中央部に5MHzで動作する回路ブロック201を配置する。この配置領域51は面積が大きい割に熱をそれ程発生しないのでチップ中央部に配置する。この配置領域51で、熱はチップ表面の垂直方向にモールド樹脂中を伝導するとともにチップ周辺方向に向かって伝導し、配置領域51内のチップ温度は平均化しかつ低温のままに保たれる。

【0024】次に、熱を多く発生する回路ブロック202を4分割しチップ周辺の配置領域61、62、63および64にレイアウトする。熱を大量に発生する回路ブロックをチップ周辺に配置することにより、チップ周辺に配置された電源、GND配線などの太いアルミニウム配線からボンディングパッド、さらに金線を通してパッケージのリードに効率よく熱が伝わるのでチップの温度上昇が抑制されるとともに、チップの温度分布が局所的に偏らないように平均化される。同様に50MHzで動作する回路ブロック203を4分割し、チップ周辺部の配置領域71、72、73および74にレイアウトする。このように、発生する熱量が比較的少ない回路をチップ中央部に配置し、発生する熱量が多い回路を熱が伝導し易いチップ周辺に、かつチップ中心に対してレイアウト的にほぼ対称となるように配置することにより、チップの温度上昇を少なくし、かつ温度分布が対称となるようにすることが出来る。

【0025】次にステップS14で、チップとパッケー

ジを含んだ熱伝導のシミュレーションを実行してチップ内の単位面積当たりのチップ温度を求め、チップ上の最高温度 T_{max} と最低温度 T_{min} の差が許容温度 T_c 内に入っているかどうかをステップS15で計算する。もし、温度分布が不均一で温度差 T_1 が許容温度 T_c 内に入らない場合、ステップS13に戻って大量に熱を発生する回路ブロックを再度分割し直し、再配置して消費電力の分散を計る。

【0026】ステップS15で温度差 T_1 が許容温度 T_c に入っていれば、従来の設計フローのステップS1で配置領域を最終的に確定するが、以下従来フローと同様なので説明を省略する。

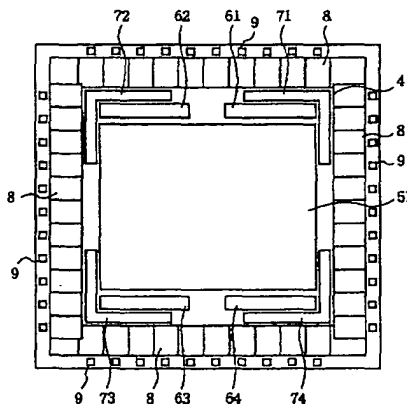
【0027】図3は、図2のチップ概略図に従って計算したチップの相対的な温度分布であり、図6に示す従来の温度分布と較べて大幅にチップ内の最高温度が低下し、かつ温度分布が平均化していることがわかる。

【0028】

【発明の効果】以上説明したように本発明による半導体集積回路による配置方法は、消費電力を多く発生する回路ブロックをチップ上にバランス良く分散配置することにより、チップ上の温度分布を均一化することができる。このため、アルミニウム配線やMOSトランジスタおよびパッケージの信頼性が向上するので、高速動作により半導体集積回路としての消費電力が増大しても信頼性が低下することがない。したがって、チップ上に高速動作をする回路ブロックを搭載することが可能となる。さらに、ADコンバータなどのアナログ回路をチップ上に搭載した場合、温度勾配がゆるやかなので差動トランジスタの整合性が向上し、アナログ特性の精度が改善する。

【図面の簡単な説明】

【図2】



【図1】本発明の実施の形態のチップレイアウト処理フローを示すフローチャートである。

【図2】本発明の実施の形態を示すチップの概略図である。

【図3】本発明によるチップの相対的な温度分布を示すグラフである。

【図4】従来のチップのレイアウト設計フローを示すフローチャートである。

【図5】チップの階層構造を表す図である。

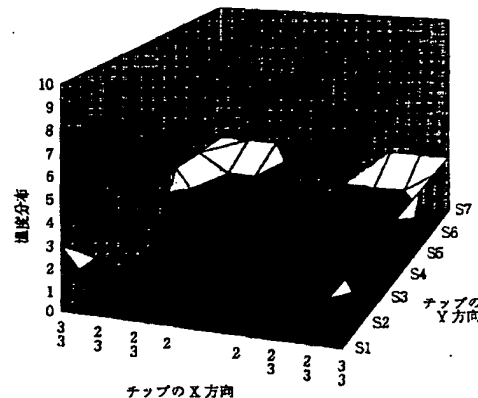
【図6】従来のチップレイアウト設計フローにしたがって設計されたチップの概略図である。

【図7】従来のチップレイアウトフローにしたがって設計されたチップ上の相対的な温度分布を示すグラフである。

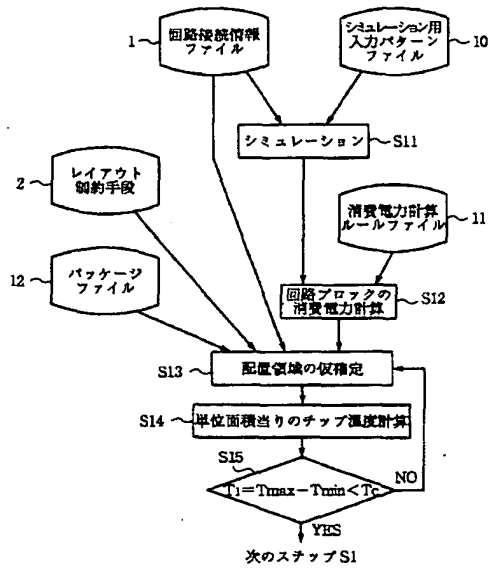
【符号の説明】

- 1 回路接続情報ファイル
- 2 レイアウト制約手段
- 3 チップレイアウトファイル
- 4 チップ内部領域
- 5, 51 5MHzで動作する回路の配置領域
- 6, 61~64 30MHzで動作する回路の配置領域
- 7, 71~74 50MHzで動作する回路の配置領域
- 8 入出力バッファ
- 9 ボンディングパッド
- 10 回路シミュレーション用入力パターンファイル
- 11 基本論理回路の消費電力計算ルールファイル
- 12 パッケージに関するパラメータを格納したファイル

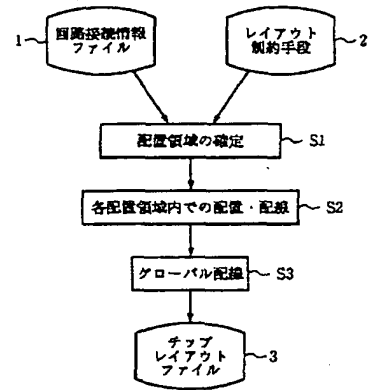
【図3】



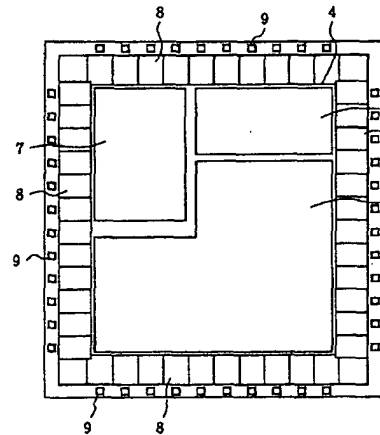
【図1】



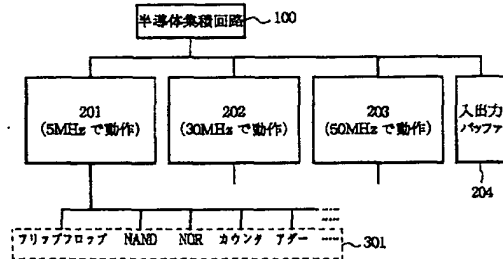
【図4】



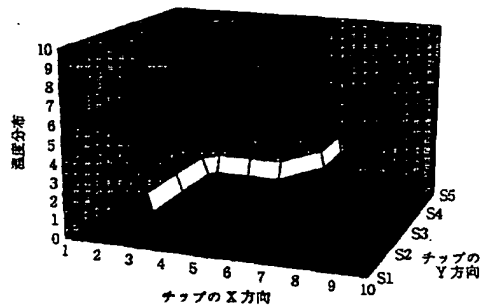
【図6】



【図5】



【図7】



フロントページの続き

(58)調査した分野(Int.Cl.6, DB名)

H01L 21/82

G06F 17/50

H01L 21/822

H01L 27/04

H01L 27/118